# Lane Margin功能介绍

## 什么是lane margining

随着带宽的增加 特别是在PCIE 4.0以后，带宽增加到了16GT/s，设计者对掌握整体链路运行情况的需求大大增加了，系统设计者需要知道在他们的设计中实际有信号余量，以便在考虑信道损失限制的同时，完全挤出16GT/s的性能。

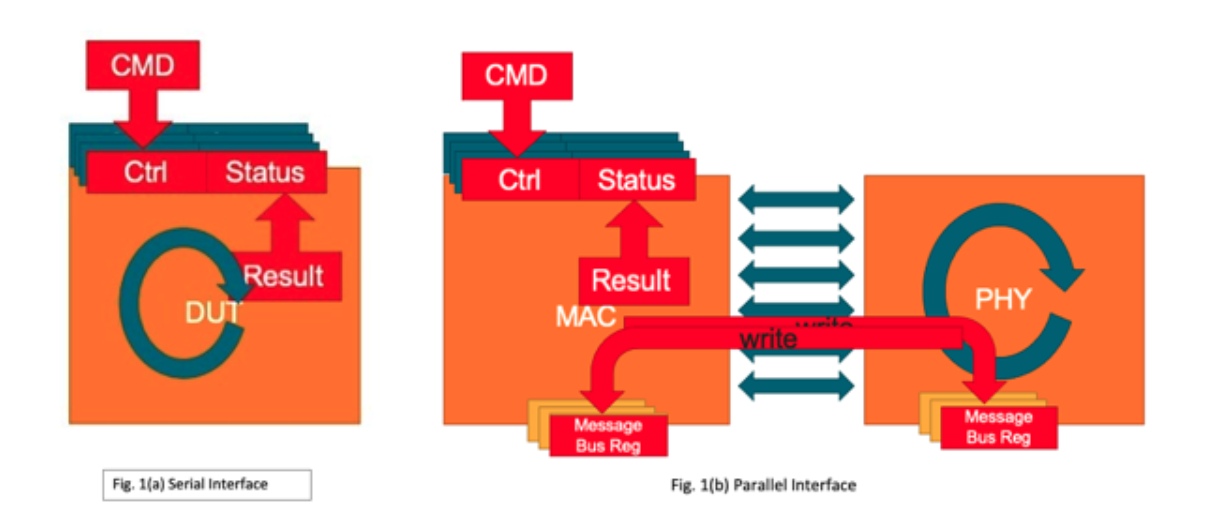
因此在PCIE 4.0 协议给出了标准化的，并强制要求它用于支持16GT/s及以上的端口RX lane margining特性。该特性运行在pcie RX端的L0 power state。

RX lane margining允许在PCIe设备上有效地评估系统的margin，而不需要任何额外的设置和硬件开销。

PCIe控制器从PHY接收器获取margin信息，此时pcie运行在16GT/s的数据速率下，同时处在L0 link state下。通过使用lane margin控制和错误报告功能，控制器通过评估接收机眼宽度（时间）和眼高度（信号振幅-电压）来确定系统的每个PCIe lane的margin。这允许在PCIe设备上有效地评估系统的margin，而不需要任何额外的设置。

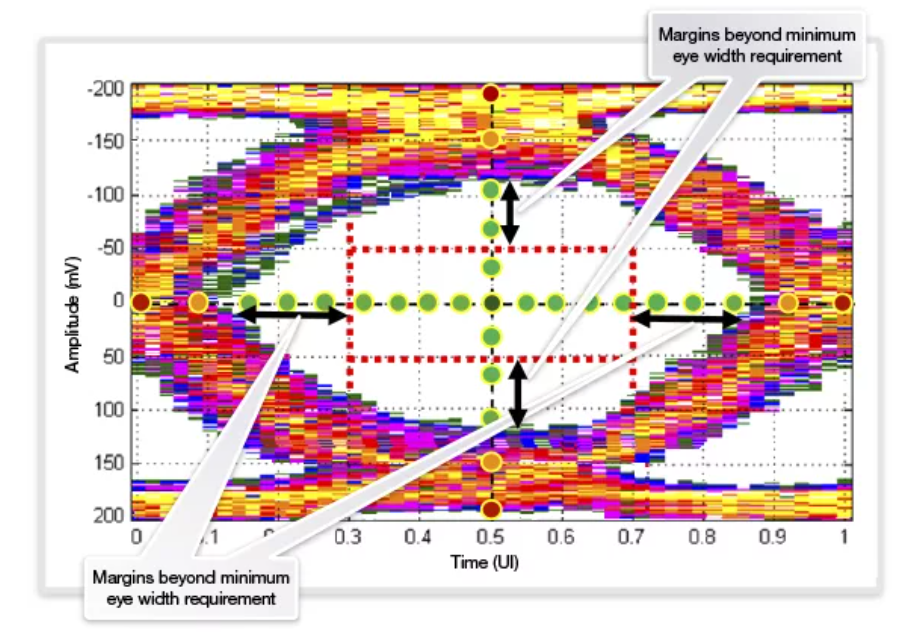
## lane margining的实现

PCIe 4.0规范为每个lane定义了两个寄存器，以在RX端实现lane margin：在每个端口中都有Lane Margin Control Register and Lane Margin Status Register。Lane Margin Control Register可以控制负责移动采样点的命令，然后使用Lane Margin Status Register读取响应。移动采样点的命令将在Control SKP OS(orderd sets)中发送,如图1 (a)所示，而对于PIPE接口，该命令不是通过SKP OS，而是在P2M/M2P消息总线接口上发送（图1(b)中的消息总线Reg）。PCIe规范为lane margin定义了high-level commands，而PIPE 5.1规范引入了一个表，并将这些命令映射到一系列消息总线命令，使lane margin变得更容易。



lane margin特性在PHY和controller中的实际实现都是各不相同的。一些设计利用PHY中的数据或错误样本来评估信号眼图的信息，而另一些设计可能选择通过向数据中注入适当数量的jitter来stress(压测？)眼图。controller也可以由PHY提供的数据对margin进行不同的评估。控制器可以对不同级别的数据收集粒度使用不同的偏移量、电压和timing steps。此外，在退出margin评估之前，可以设置不同的位容错。

参考图2中的一个例子，可以通过移动PHY中的数据或错误样本位置来进行错误扫描来实现lane margining。从接收眼图的样本位置开始，以增量步进，可以向右和向左扫描眼图宽度，以检查最小眼宽margin。可选地，可以从样本位置扫描到顶部和底部，以获得最小眼图高度margin。控制器使用来自PHY的margin信息，识别系统中故障发生的位置，并确定lane margin。图2显示了一个16GT/s PCIe 4.0的接收眼图处于最佳位置，有充足的信号margin，超过最小眼宽和眼高的要求。



## 总结

当数据速率从PCIe 3.0s 8GT/s到PCIe 4.0s 16GT/s的数据速率加倍时，性能变化和信号完整性退化变得更大。此外，PCB制造和环境差异会导致信道损耗、串扰和信道不连续的增加，从而增加系统噪声、抖动性能恶化和眼图闭合。PCI Express 4.0规范中提供的lane margining特性将帮助系统设计人员通过使用PCIe 4.0 PHY和控制器解决方案获取lane margin信息，在设计和生产周期的早期评估其设计的性能变化容忍度。这允许系统设计者提供一个更健壮的系统，并更好地满足他们的上市时间目标。

lane margining会在PCIE5.0和PCIE 6.0中继续使用，虽然PCIE6.0采用了不同的线路编码，从NRZ编码升级到PAM4编码编码。

# Lane Margining at the Receiver Extended Capability

The Lane Margining at the Receiver Extended Capability structure must be implemented in:

• A Function associated with a Downstream Port where the Supported Link Speeds Vector field indicates support for a Link speed of 16.0 GT/s or higher.

• A Function of a single-Function Device associated with an Upstream Port where the Supported Link Speeds Vector field indicates support for a Link speed of 16.0 GT/s or higher.

• Function 0 (and only Function 0) of a Multi-Function Device associated with an Upstream Port where the Supported Link Speeds Vector field indicates support for a Link speed of 16.0 GT/s or higher.

接收器扩展能力结构的车道边距必须在以下方面实施：

•与下游端口相关的功能，其中支持的链路速度矢量字段表示支持16.0 GT/s或更高的链路速度。

•与上游端口关联的单个功能设备的功能，其中支持的链路速度矢量字段表示支持16.0 GT/s或更高的链路速度。

•与上游端口关联的多功能设备的功能0（仅功能0），其中支持的链路速度矢量字段表示支持16.0 GT/s或更高的链路速度。

Figure 7-97 shows the layout of the Margining Extended Capability. This capability contains a pair of per-Port registers followed by a set of per-Lane registers.

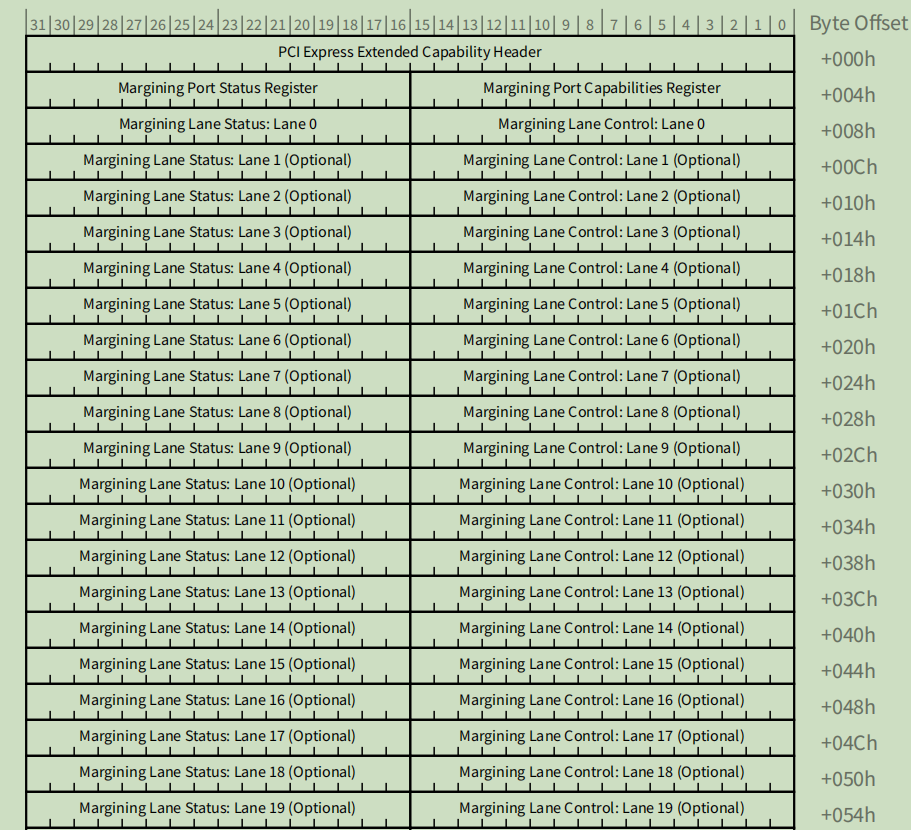
The number of per-Lane entries is determined by the Maximum Link Width (see Section 7.5.3.6 or Section 7.9.9.2 ). Up to 32 entries are permitted regardless of the Maximum Link Width. The value of entries beyond the Maximum Link Width is undefined.

Each per-Lane entry contains the values for that Lane. Lane numbering uses the default Lane number and is thus invariant to Link width and Lane reversal negotiation that occurs during Link training.

图7-97显示了边际扩展能力的布局。此功能包含一对每端口寄存器，后面是一组每通道寄存器。

每条车道的入口数量由最大连接宽度决定（见第7.5.3.6节或第7.9.9.2节）。无论最大链接宽度如何，最多允许32个条目。超出“最大链接宽度”的条目值未定义。

每条车道条目都包含该车道的值。车道编号使用默认车道编号，因此对链路训练期间发生的链路宽度和车道反转协商不变。。



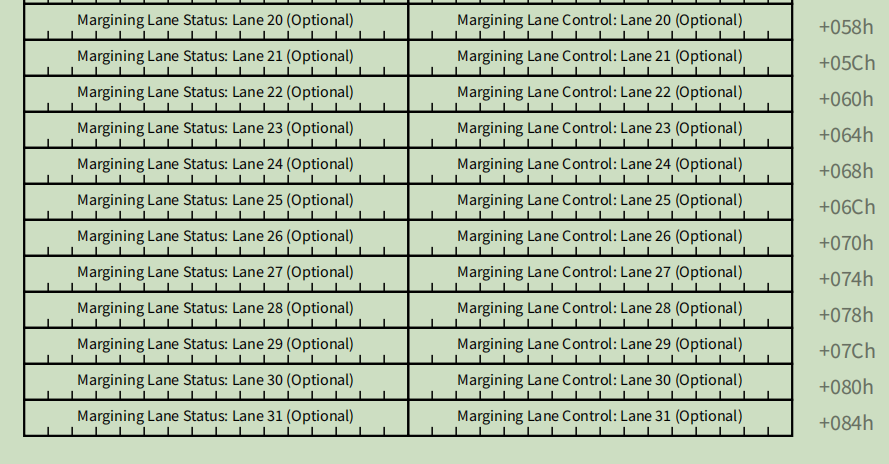
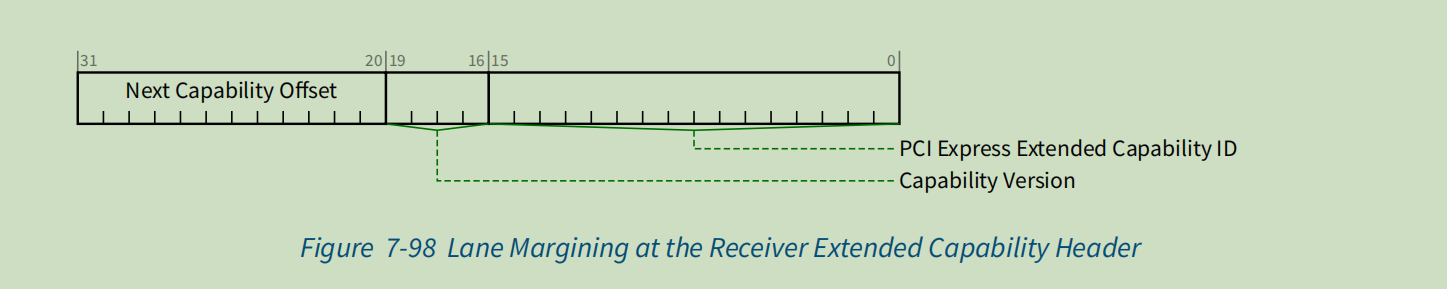


Figure 7-97 Lane Margining at the Receiver Extended Capability

## Lane Margining at the Receiver Extended Capability Header(Offset 00h)



### PCI Express Extended Capability ID（已实现,RO）

This field is a PCI-SIG defined ID number that indicates the nature and format of the Extended Capability.

The Extended Capability ID for the Physical Layer 16.0 GT/s Margining Extended Capability is 0027h.

225已实现，具体在配置空间obffctrl模块中实现，支持WAKE和message两种方式，，通过k\_pexconf[51:50]进行配置，k\_pexconf[51:50]目前实际配置为00。

### Capability Version（已实现,RO）

This field is a PCI-SIG defined version number that indicates the version of the Capability structure present.

Must be 1h for this version of the specification.

.

225已实现，具体在配置空间obffctrl模块中实现，支持WAKE和message两种方式，，通过k\_pexconf[51:50]进行配置，k\_pexconf[51:50]目前实际配置为00。

### Next Capability Offset（已实现,RW）

This field contains the offset to the next PCI Express Capability structure or 000h if no other items exist in the linked list of Capabilities.

For Extended Capabilities implemented in Configuration Space, this offset is relative to the beginning of PCI-compatible Configuration Space and thus must always be either 000h (for terminating list of Capabilities) or greater than 0FFh.

有关上述编码的解释，请参见第6.19节。

所有支持OBFF能力的端口都需要此字段。

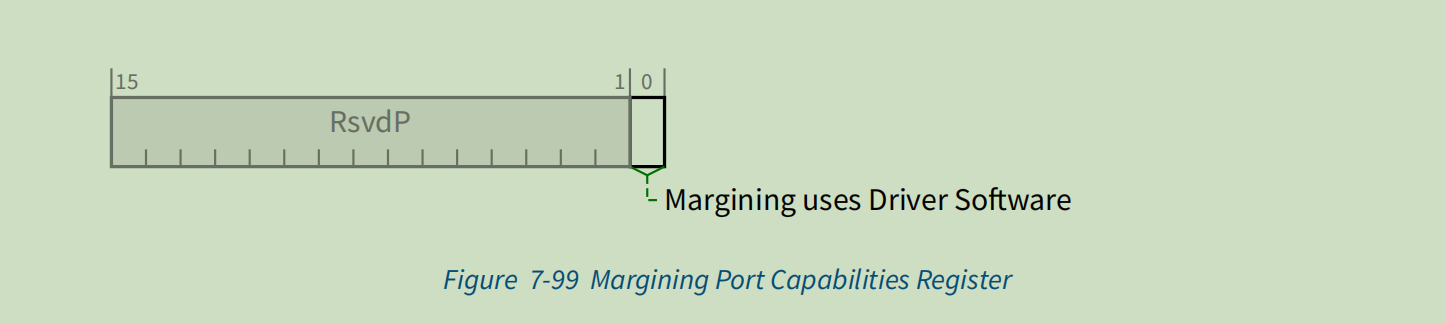
对于与实现OBFF的设备的上游端口相关联的多功能设备，功能0中的字段类型为RW，并且只有功能0控制组件的行为。在该设备的所有其他功能中，该字段的类型为RsvdP。

允许未实现OBFF的端口将此字段硬接线至00b。

此字段的默认值为00b。

225已实现，具体在配置空间obffctrl模块中实现，支持A和B两种方式，通过配置空间pexreg模块写入Device Control 2 Register寄存器的OBFF Enable字段进行配置。

## Margining Port Capabilities Register(Offset 04h)

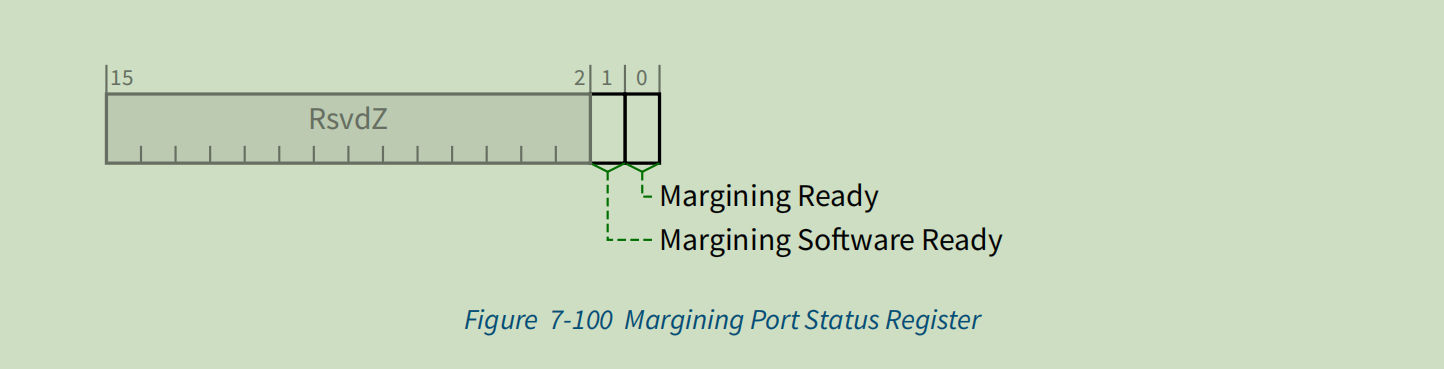


### Margining uses Driver Software（已实现,HwInit）

If Set, indicates that Margining is partially implemented using Device Driver software. Margining Software Ready indicates when this software is initialized. If Clear, Margining does not require device driver software. In this case the value read from Margining Software Ready is undefined.

225已实现，具体在配置空间obffctrl模块中实现，支持WAKE和message两种方式，，通过k\_pexconf[51:50]进行配置，k\_pexconf[51:50]目前实际配置为00。

## Margining Port Status Register(Offset 06h)



### Margining Ready（未实现,RO）

Indicates when the Margining feature is ready to accept margining commands.

Behavior is undefined if this bit is Clear and, for any Lane, any of the Receiver Number, Margin Type, Usage Model, or Margin Payload fields are written (see Section 7.7.7.4 ).

If Margining uses Driver Software is Set, Margining Ready must be Set no later than 100 ms after the later of Margining Software Ready becoming Set or the link training to 16.0 GT/s.

If Margining uses Driver Software is Clear, Margining Ready must be Set no later than 100 ms after the Link trains to 16.0 GT/s.

Default value is implementation specific.

指示余量测试功能何时准备好接受余量测试命令。

如果此位为“清除”，则行为未定义，并且对于任何通道，都会写入任何接收器编号、保证金类型、使用模型或保证金有效载荷字段（见第7.7.7.4节）。

如果设置了余量测试使用驱动程序软件，则必须在余量测试软件就绪设置或链接训练为16.0 GT/s（以较晚者为准）后100毫秒内设置余量测试就绪。

如果“Margining using Driver Software”为“Clear”，则必须在Link列车运行至16.0 GT/s后100毫秒内设置“Marguing Ready”。

默认值是特定于实现的。

225未实现，具体在配置空间pcie5\_secpex模块中实现，在Lmr04寄存器中，该bit目前实际配置固定为0。

### Margining Software Ready（未实现,RO）

When Margining uses Driver Software is Set, then this bit, when Set,

indicates that the required software has performed the required initialization.

The value of this bit is undefined if Margining uses Driver Software is Clear. The default value of this bit is implementation specific.

当“Margining using Driver Software”被设置时，表示所需的软件已经执行了所需的初始化。

如果“余量测试使用驱动程序软件”为“清除”，则此位的值未定义。此位的默认值是特定于实现的。

225未实现，具体在配置空间pcie5\_secpex模块中实现，在Lmr04寄存器中，该bit目前实际配置固定为0。

## Margining Lane Control Register(Offset 08h)

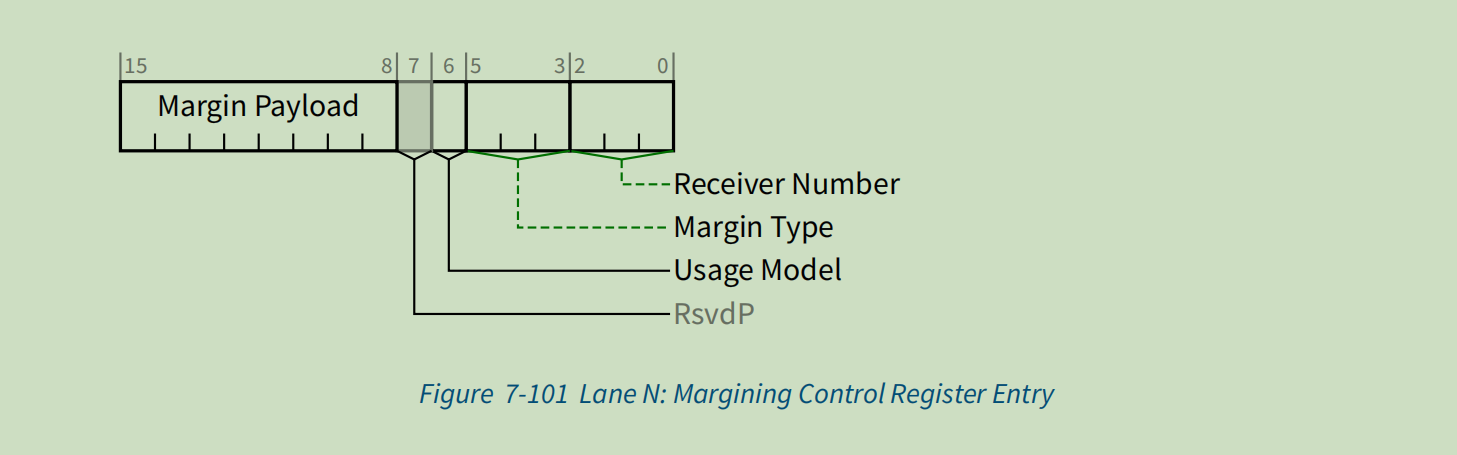
The Margining Lane Control Register consists of control fields required for per-Lane margining.

The number of entries in this register are sized by Maximum Link Width (see Section 7.5.3.6 ).

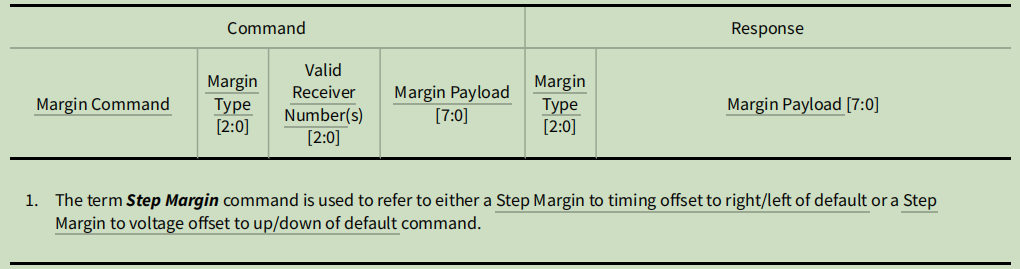
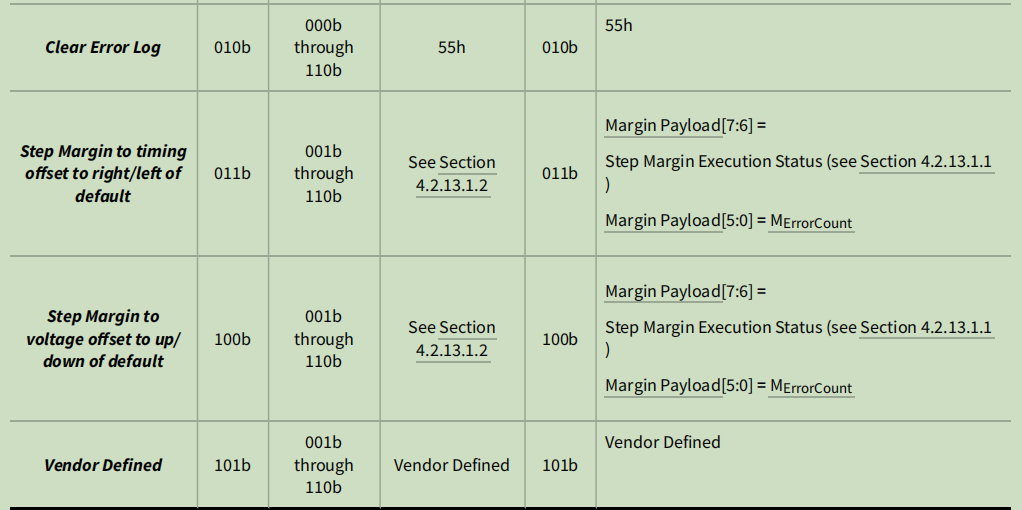
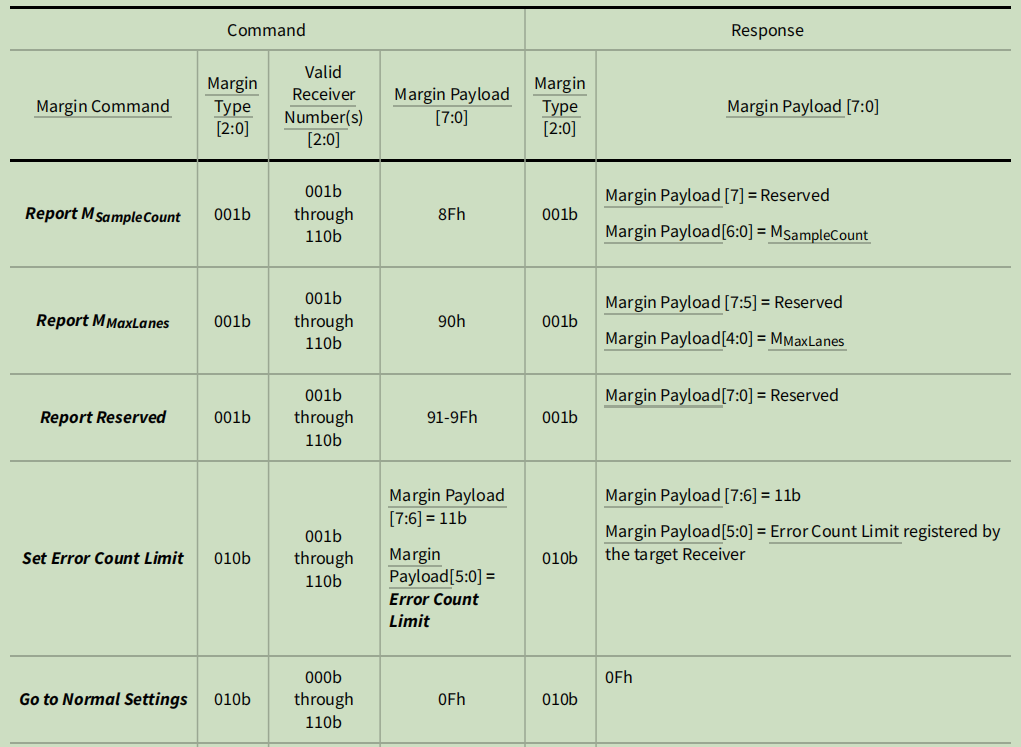
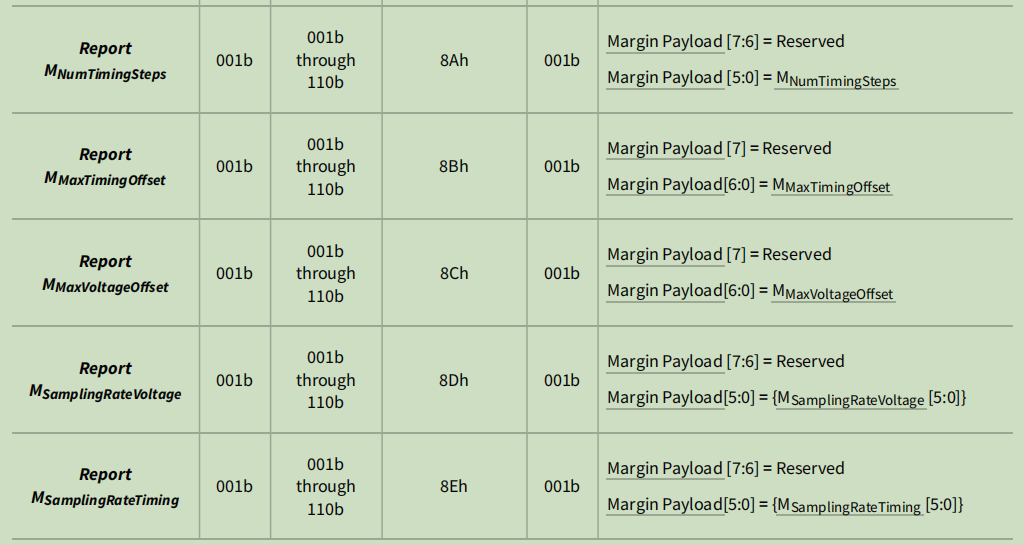
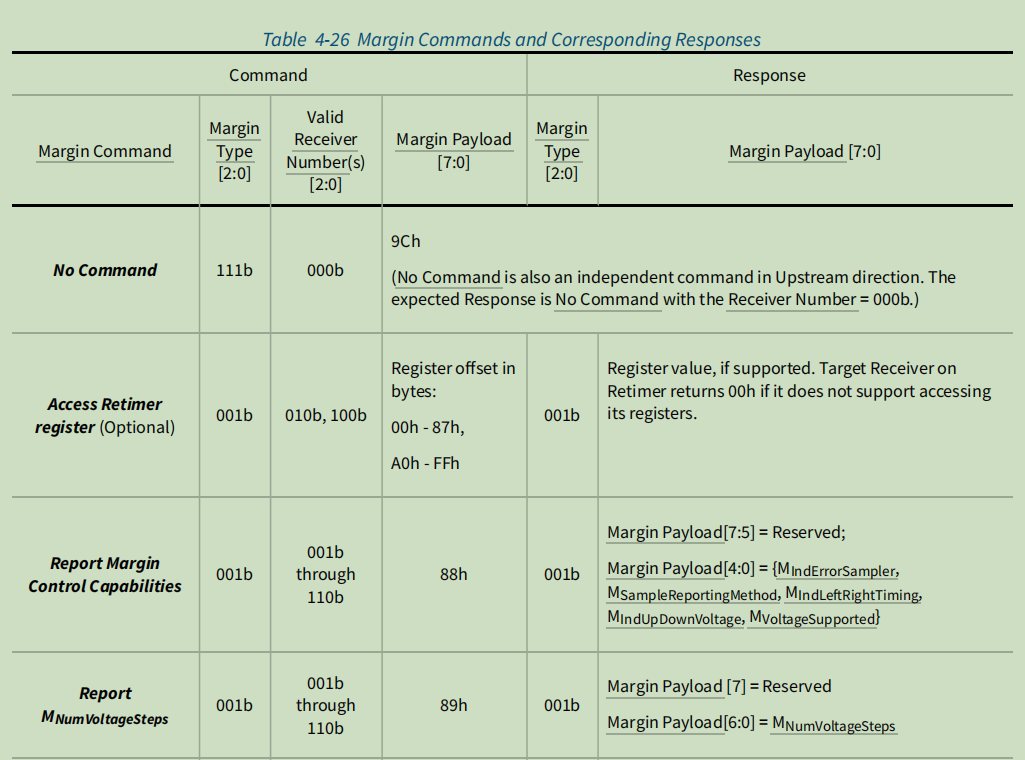
链路余量测试控制寄存器由每条链路余量测试所需的控制字段组成。

该寄存器中的条目数量按最大链接宽度确定（见第7.5.3.6节）。

See Section 4.2.7.2 for details of this register.



具体的使用规则详见Table 4-26



### Receiver Number（已实现,RW）

See Section 8.4.4 for details.

The default value is 000b.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为000b。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在配置空间pcie5\_secpex模块中实现，该寄存器由RC配置下发lmr\_control，传递到pcie5\_lmr模块解析为cmd\_rx使用。

### Margin Type（已实现,RW）

See Section 8.4.4 for details.

The default value is 111b.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为111b。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在配置空间pcie5\_secpex模块中实现，该寄存器由RC配置下发lmr\_control，传递到pcie5\_lmr模块解析为cmd\_mt使用。

### Usage Model（已实现,RW）

See Section 8.4.4 for details.

The default value is 0b.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为0b。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在配置空间pcie5\_secpex模块中实现，该寄存器由RC配置下发lmr\_control，传递到pcie5\_lmr模块解析为cmd\_um使用。

### Margin Payload（已实现,RW）

See Section 8.4.4 for details.

This field’s value is used in conjunction with the Margin Type field, as described in Section 8.4.4 .

The default value is 9Ch.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

此字段的值与余量类型字段结合使用，如第8.4.4节所述。

默认值为9Ch。

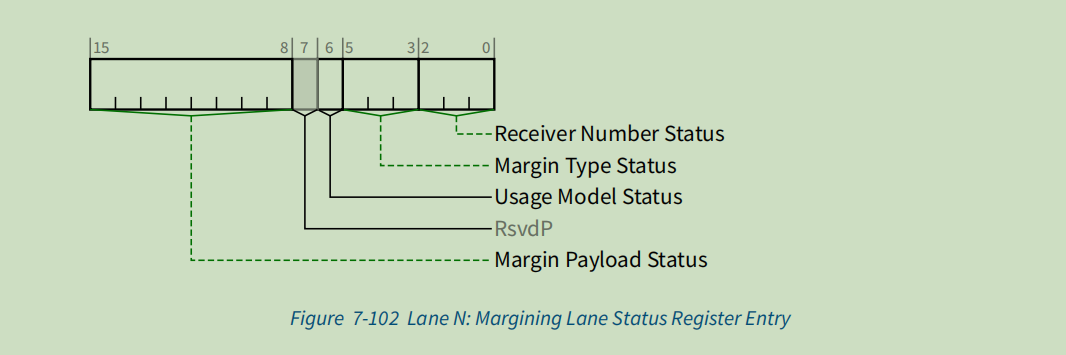
如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在配置空间pcie5\_secpex模块中实现，该寄存器由RC配置下发lmr\_control，传递到pcie5\_lmr模块解析为cmd\_pl使用。

## Margining Lane State Register(Offset 0Ah)

The Margining Lane Status register consists of status fields required for per-Lane margining. The number of entries in this register are sized by Maximum Link Width (see Section 7.5.3.6 ). See Section 4.2.7.2 for details of this register.

链路余量测试状态寄存器由每条链路余量测试所需的状态字段组成。该寄存器中的条目数量按最大链接宽度确定（见第7.5.3.6节）。本登记簿的详细信息见第4.2.7.2节。



### Receiver Number Status（已实现,RW）

See Section 8.4.4 for details.

The default value is 000b.

For Downstream Ports, this field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为000b。

对于下游端口，如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在phy层pcie5\_lmr模块从control SKP中接收lmrx\_msg[14:0]，由curr\_resp[15:0]产生sharedbus\_lmr传递到配置空间pcie5\_secpex模块的shb\_lmr\_status，通过lmr\_csr，上传到0Ah寄存器。

### Margin Type Status（已实现,RW）

See Section 8.4.4 for details.

The default value is 000b.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为000b。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在phy层pcie5\_lmr模块从control SKP中接收lmrx\_msg[14:0]，由curr\_resp[15:0]产生sharedbus\_lmr传递到配置空间pcie5\_secpex模块的shb\_lmr\_status，通过lmr\_csr，上传到0Ah寄存器。

### Usage Model Status（已实现,RW）

See Section 8.4.4 for details.

The default value is 0b.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

默认值为0b。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在phy层pcie5\_lmr模块从control SKP中接收lmrx\_msg[14:0]，由curr\_resp[15:0]产生sharedbus\_lmr传递到配置空间pcie5\_secpex模块的shb\_lmr\_status，通过lmr\_csr，上传到0Ah寄存器。

### Margin Payload Status（已实现,RW）

See Section 8.4.4 for details.

This field is only meaningful, when the Margin Type is a defined encoding other than ‘No Command’.

The default value is 00h.

This field must be reset to the default value if the Port goes to DL\_Down status.

详见第8.4.4节。

只有当余量类型是定义的编码而不是“无命令”时，此字段才有意义。

默认值为00h。

如果端口变为DL\_Down状态，则必须将此字段重置为默认值。

225已实现，具体在phy层pcie5\_lmr模块从control SKP中接收lmrx\_msg[14:0]，由curr\_resp[15:0]产生sharedbus\_lmr传递到配置空间pcie5\_secpex模块的shb\_lmr\_status，通过lmr\_csr，上传到0Ah寄存器。